

1/5/1

DIALOG(R) File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

01304734

DRY ETCHING METHOD

PUB. NO.: 59 -016334 [JP 59016334 A]

PUBLISHED: January 27, 1984 (19840127)

INVENTOR(s): TSUKURA TAKASHI

APPLICANT(s): MATSUSHITA ELECTRONICS CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 57-126419 [JP 82126419]

FILED: July 19, 1982 (19820719)

INTL CLASS: [3] H01L-021/302

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA)

JOURNAL: Section: E, Section No. 243, Vol. 08, No. 99, Pg. 45, May 10, 1984 (19840510)

ABSTRACT

PURPOSE: To enable to simplify the process and improve the yield by a method wherein an aperture of depth reaching the first insulation film is selectively formed by anisotropic etching with a mask material as the mask, and next the over-etching of the remant of the first insulation film and the second insulation film is performed by isotropic etching.

CONSTITUTION: A silicate glass film 8 is formed on a Si substrate 1 as a layer insulation film. Successively, a phosphorus silicate glass film (PSG) 9 which contains phosphorus at high density is formed. A photo resist film 10 is formed thereon as an etching mask by photolithography process. With the photo resist film 10 as the mask, the formation of a contact hole is performed by parallel flat type gas plasma. First, anisotropic etching wherein physical etching is the main body is performed under conditions of low pressure and high power. The etching is stopped at the point of just etched state whereby the Si substrate 1 appears, and next, using CF(sub 4) gas plasma, isotropic etching wherein chemical etching is the main body is performed by a parallel flat type or cylindrical dry etching device under conditions of high pressure and low power.

S1 0 PN-JP 82126419
?S AN-JP 82126419
S2 1 AN-JP 82126419
?T 2/5/1

2/5/1
DIALOG(R)File 352:DERWENT WPI
(c)1998 Derwent Info Ltd. All rts. reserv.

003913292

WPI Acc No: 84-058936/198410

Insulating-film dry etching method - suitable for forming contact hole
for wiring in semiconductor device, using pore density plasma etching.
NoAbstract Dwg 1-3/3

Patent Assignee: MATSUSHITA ELECTRONICS CORP (KATE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 59016334 A	A	19840127	JP 82126419	A	19820719		198410 B

Priority Applications (No Type Date): JP 82126419 A 19820719

Patent Details:

Patent	Kind	Ln	Pg	Filing Notes	Application	Patent
JP 59016334 A			6			

Title Terms: INSULATE: FILM: DRY: ETCH: METHOD: SUIT: FORMING: CONTACT:
HOLE: WIRE: SEMICONDUCTOR: DEVICE: PORE: DENSITY: PLASMA: ETCH:
NOABSTRACT

Derwent Class: L03: U11

International Patent Class (Additional): H01L-021/30

File Segment: CPI: EPI

⑫ 公開特許公報 (A)

昭59—16334

⑪ Int. Cl.³
H 01 L 21/302

識別記号

庁内整理番号
8223—5F

⑬ 公開 昭和59年(1984)1月27日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ ドライエッチング方法

門真市大字門真1006番表地松下
電器産業株式会社内

⑮ 特 願 昭57—126419

⑯ 出 願 人 松下電子工業株式会社

⑰ 出 願 昭57(1982)7月19日

門真市大字門真1006番地

⑱ 発 明 者 津倉敬

⑲ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

ドライエッチング方法

2、特許請求の範囲

(1) 半導体基板表面に第1の絶縁膜および不純物を含有する第2の絶縁膜を設けた後、マスク材をマスクにして異方性エッチで、前記第1の絶縁膜に達する深さの開口を選択的に形成し、ついで、等方性エッチングで前記第1の絶縁膜の残部および前記第2の絶縁膜のオーバエッチを行うことを特徴とするドライエッチング方法。

(2) 第1の絶縁膜が酸化シリコン膜、第2の絶縁膜がリンを含む珪酸ガラス膜であることを特徴とする特許請求の範囲第1項に記載のドライエッチング方法。

(3) 異方性エッチングが低ガス圧力、高電力密度で行われる反応性スパッタエッチングあるいはイオンビームエッチングであり、等方性エッチングが高ガス圧力、低電力密度で行われる円筒型あるいは平行平板型プラズマエッチングであることを

特徴とする特許請求の範囲第1項に記載のドライエッチング方法。

3、発明の詳細な説明

本発明はたとえば、半導体装置の電極配線用コンタクトホール形成に好適な絶縁膜のドライエッチング方法に関するものである。

半導体装置におけるコンタクトホール形成は加工寸法的にも最も微細化のむずかしい部分である。そのため微細寸法のコンタクトホールの形成には近年平行平板のドライエッチング装置を用いてサイドエッチの少ないスパッタエッチ、反応性スパッタエッチ等のガスプラズマによる異方性エッチングが実用化されている。

第1図は従来の二層ポリシリコンゲートダイナミックRAMメモリの断面図で、1はシリコン基板、2は選択酸化膜、3、4は多結晶シリコンゲート層、5は二酸化シリコン膜、6はアルミニウムの電極配線膜、7はコンタクトホールである。さて、ガスプラズマによる異方性エッチングによってコンタクトホール7を形成する場合は第

1図は、ホールエッジが急峻でアルミニウムの電極配線6の断線を生じ易い。また、ガスプラズマによる異方性エッチングでは反応ガス生成物のポリマー形成によりコンタクトホール7のシリコン基板1面がポリマーで汚染され、しばしばコンタクト抵抗の上昇、コンタクト不良が起こる。さらに、コンタクトホール7の異方性エッチングには高電力ガスプラズマを用いるラジエーションダメージ等のデバイス特性への悪影響が問題となるなどの欠点があった。

本発明はこのような従来のガスプラズマによるコンタクトホール形成の欠点を解消し、工程の簡略化、半導体装置歩留りの向上を可能にせしめるプラズマエッチング方法を提供することを目的とするものである。

以下本発明の実施例を説明する。

(実施例1)

第2図に示すようにシリコン基板1の上に層間絶縁膜としてまず熱酸化シリコン膜あるいはリンをドーブしない珪酸ガラス膜8を形成する。続いて

り階段状のコンタクトホールの形成が可能となる。またオーバーエッチにおいてポリマー形成の少ないC/F比の小さな CF_4 ガスを用いるため、コンタクトホール形成時のポリマーによるコンタクト抵抗の上昇を防ぐことができるとともに、低パワー処理であるからラジエーションダメージもほとんど生じない。なお、前記の異方性エッチングの終端は、ジャストエッチ状態に到らずとも、その直前の前記第1の絶縁膜内に留め、残部は次の等方性エッチングで除くように条件設定することも可能である。

(実施例2)

第3図においてシリコン基板1上に珪酸ガラス膜8を形成し、次にリンの濃度分布が膜8との界面から遠ざかるに従ってリンのドーブ量が多くなるPSG膜11を周知の減圧CVD法により形成し、その上にホトリソグラフィ工程によりホトレジストマスク10を形成する。この場合のエッチングも実施例1と同様な方法で平行平板ガスプラズマを用いて、異方性エッチングをジャストエ

て高濃度のリンを含む珪酸ガラス膜(以下、PSGと略す)9を形成する。その上に、ホトリソグラフィ工程によりホトレジスト膜10をエッチングマスクとして形成する。このホトレジスト膜10をマスクとして、平行平板型ガスプラズマによりコンタクトホールの形成を行う。使用ガスとしては C_3F_8 ガス及び CF_4 ガスを主体として行う。まず低圧力(反応圧力:0.05~0.20 TORR)、高パワー(電力密度:0.5~1.0W/cm²)の条件のもとに物理的なエッチング主体の異方性エッチングを行う。このエッチングはシリコン基板1が現われるところのジャストエッチ状態とめ、次に CF_4 ガスプラズマを用いて高圧力(反応圧力:2~4 TORR)、低パワー(電力密度:0.1~0.3W/cm²)の条件の下に、化学的なエッチング主体の等方性エッチングを平行平板型あるいは円筒型ドライエッチング装置により行う。この化学的な等方性エッチングをオーバーエッチとして行うことにより、横方向へのエッチングの進行が加速され、層間絶縁膜のエッチ速度の差によ

りジャストエッチ状態で行い、オーバーエッチを CF_4 ガスによる等方性エッチングで行う。この等方性エッチによりリンの濃度分布に応じてエッチング速度が大きいので、PSG膜11はティバーのあるコンタクトホールの形成が可能となる。

本発明は以上の説明から明らかな如く、コンタクトホールを2種類の絶縁膜のエッチ速度の差および、異方性エッチングと等方性エッチングとの両条件を用いて2段構造あるいはティバー構造とすることができるので、コンタクトホールの段部による配線膜の断線の恐れがなくなると同時に、微細寸法のコンタクト抵抗の低下及びラジエーションダメージのデバイス特性への影響の軽減を行い、歩留りの低下という問題を解決している。

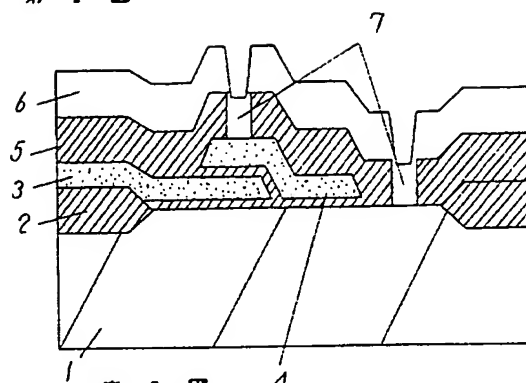
4、図面の簡単な説明

第1図は従来の2層ポリシリコンゲートダイナミックRAMメモリーセルの構造断面図、第2図及び第3図は本発明の2層絶縁膜構造に形成したコンタクトホールの概略の形状を示す構造断面図である。

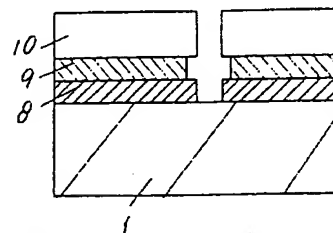
8 珪酸ガラス膜、9, 11 PSG
膜、10 ホトレジストマスク。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

